

JP 00/3367 日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

PCT/IP00/03968

3. Steven
6 6-29-01

16.06.00

REC'D 04 AUG 2000

W/RC PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年 6月23日

出願番号

Application Number:

平成11年特許願第177078号

出願人

Applicant(s):

セイコーエプソン株式会社

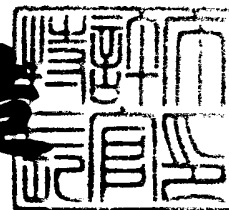
PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 7月21日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3057425

【書類名】 特許願
【整理番号】 J0073853
【提出日】 平成11年 6月23日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/784
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 13
【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 【氏名】 瀧澤 照夫
【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 【氏名】 島田 浩行
【特許出願人】
 【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社
 【代表者】 安川 英昭
【代理人】
 【識別番号】 100093388
 【弁理士】
 【氏名又は名称】 鈴木 喜三郎
 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9
【選任した代理人】
 【識別番号】 100095728
 【弁理士】
 【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板上に形成される絶縁ゲート電界効果トランジスタにおいて、前記トランジスタのゲート電極をゲルマニウム膜で形成したことを特徴とする半導体装置。

【請求項 2】 前記ゲルマニウム膜は単結晶ゲルマニウム膜或いは多結晶ゲルマニウム膜或いはアモルファスゲルマニウム膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ゲルマニウム膜は p 形不純物が導入されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記ゲート電極は、ゲルマニウム膜と低抵抗導電膜とを含む多層構造となっていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記低抵抗導電膜は、遷移金属または遷移金属シリサイドまたは遷移金属窒化膜或いはそれらの組み合わせであることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記多層構造は、ゲルマニウム膜と低抵抗導電膜の間に多結晶シリコン層が設けられていることを特徴とする請求項 4 記載の半導体装置。

【請求項 7】 n チャンネル絶縁ゲート電界効果トランジスタと p チャンネル絶縁ゲート電界効果トランジスタを混載し相補形を為す半導体装置において、前記各トランジスタのゲート電極は、p 形不純物が導入された単結晶ゲルマニウム膜或いは多結晶ゲルマニウム膜或いはアモルファスゲルマニウム膜からなることを特徴とする半導体装置。

【請求項 8】 半導体基板上にゲート酸化膜を形成する工程と、このゲート酸化膜上にゲルマニウム膜を形成する工程と、このゲルマニウム膜に p 型不純物を導入し、パターンニングしてゲート電極を形成する工程と、このゲート電極をマスクとしてソース、ドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】前記ゲート電極を形成する工程は、前記ゲルマニウム膜上に多結晶シリコンを形成する工程と、この多結晶シリコン膜上に遷移金属を形成する工程と、熱処理により前記多結晶シリコン膜の一部あるいは全てを遷移金属シリサイドとする工程とを含むことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】前記ゲート電極を形成する工程は、前記ゲルマニウム膜上に遷移金属膜または遷移金属窒化膜を形成する工程を含むことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 11】前記 p 型不純物を導入する工程は、CVD 法によることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 12】前記 p 型不純物を導入する工程は、イオン・インプランテーション法によることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 13】半導体基板上にゲート酸化膜を形成する工程と、このゲート酸化膜上にゲルマニウム膜を形成する工程と、このゲルマニウム膜に p 型不純物を導入し、パターニングしてゲート電極を形成する工程と、このゲート電極をマスクとしてソース、ドレイン領域を形成する工程と、前記ゲート電極の両端にスペーサを形成する工程と、前記ゲート電極上及び前記ソース、ドレイン領域上に遷移金属膜を形成し、熱処理して遷移金属シリサイドとする工程とからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタに適応して好適な半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来の半導体装置に用いられる絶縁ゲート型電界効果トランジスタ（以下、MOSFETとも称する）では、ゲート電極の材料として不純物を深くドーブした多結晶シリコン膜が用いられている。例えば、CMOS回路（Complimentary MOSFET回路）を製造する際に用いられる製造プロセス技術に於い

て、回路の動作特性バランスをとるためにゲート電極の材料としては、 n チャネル MOSFET (NMOS) の場合には n 形多結晶シリコン、 p チャネル MOSFET (PMOS) の場合には p 形多結晶シリコンが用いられている。そして、ゲート電極の低抵抗化を目的として、ゲート電極の上層に遷移金属シリサイド膜を形成する構造が用いられている。

【0003】

しかしこの場合、 n 形多結晶シリコン膜の仕事関数が 4.15 eV 、 p 形多結晶シリコン膜の仕事関数が 5.25 eV であるので、シリコンの真性ミッドギャップエネルギー 4.61 eV から大きくずれた値となってしまう。この値が大きくなると、金属-絶縁膜-半導体という積層構造から成る MOS キャパシタを考えた場合、フラットバンド電圧 V_{FB} 絶対値の増大をもたらす（符号は NMOS、PMOS で異なる）、そのため、しきい値 V_{th} 制御を目的とした MOSFET チャンネル内の不純物濃度最適値を高濃度側にシフトさせることになる。

【0004】

上記の様な高濃度のチャンネル内では、不純物により散乱が多大な影響を及ぼす様になり、チャンネル内のキャリア移動度の劣化を招く事になる。これは即ち MOSFET の電流駆動能力の低下を意味し、回路の応答特性に重要な影響を及ぼす

この様な問題点を解決する為に、様々な仕事関数を持ったゲート電極材料の提案がされている。例えば Tsu-Jae King 等 (IEDM Technical Digest 1990, 253頁) 或いは特開平5-235335ではゲート電極の材料として SiGe 合金膜を用いた構造が提案され、Jeong-Mo Hwang 等 (IEDM Technical Digest 1992, 345頁) では TiN 膜を用いた構造が提案されている。

【0005】

図8はゲート電極に SiGe 合金を用いた第一の従来技術例である。同図について説明すると、基板1上に NMOS トランジスタ20及び PMOS トランジスタ21が形成された構造であり、ゲート酸化膜2上にそれぞれ n 形多結晶 SiGe 膜30及び p 形多結晶 SiGe 膜31が堆積されている。さらに当該 SiGe 膜30上に低抵抗化を目的とした低抵抗導電膜4を設けている。この様な SiGe 合金をゲート電極材料として用いた場合、シリコン中に含ませたゲルマニウム

原子の割合で仕事関数をよりシリコンの真性ミッドギャップエネルギーに近づけることが出来る。

【0006】

なお、5は、ソース・ドレイン領域、22は、 n ウエル領域、23は、素子分離酸化膜である。

【0007】

しかし上記従来例では特にPMOSトランジスタ21でしか、大きな特性改善が見込めないと言う欠点がある。それはSiGe合金に於けるバンド構造の変化が主に価電子帯側にしか見られないという物理現象に由来する。即ちゲルマニウム混入により p 形多結晶SiGe膜31の仕事関数は制御出来るのであるが、 n 形多結晶SiGe膜30には期待した以上の効果が得られないのである。

【0008】

図9はゲート電極にTiN膜を用いた従来技術例である。同図において、上記図8と同一構成のものには同一番号を付して説明は省略する。図8と同様に基板1上にNMOSトランジスタ20及びPMOSトランジスタ21が形成された構造であり、ゲート酸化膜2上にTiN膜32が形成されている。そして当該TiN膜32上にも第一の従来技術例と同様に、低抵抗導電膜4が設けられている。この様なTiN膜の仕事関数はJeong Mo Hwang等 (IEDM Technical Digest 1992, 345頁) に記載のように4.7~4.8 eVとシリコンの真性ミッドギャップエネルギー4.61 eVに近く、大きな効果が得られる。

【0009】

しかし、この場合ゲート電極の仕事関数が一意的に決まってしまう為、NMOSトランジスタ及びPMOSトランジスタの特性に於いて若干のアンバランスが生じてしまうという問題がある。さらに上記低抵抗導電膜4を採用した場合、導電膜形成プロセスによって仕事関数のばらつきが生じる為プロセス条件を厳しく管理しなければならないという欠点もある。

【0010】

【発明が解決しようとする課題】本発明は、上記問題点について鑑みて為されたものであり、半導体装置、特にNMOSトランジスタ及びPMOSトランジ

スタに於けるチャネル内のキャリア移動度の劣化を防ぎ、高い電流駆動能力を備えた半導体装置及びその製造装置を提供するものである。

【 0 0 1 1 】

【課題を解決するための手段】 上記課題を解決するために、請求項 1 の発明は、シリコン基板上に形成される絶縁ゲート電界効果トランジスタにおいて、前記トランジスタのゲート電極をゲルマニウム膜で形成したことを特徴とするものである。

【 0 0 1 2 】

また、請求項 2 の発明は、前記ゲルマニウム膜は単結晶ゲルマニウム膜或いは多結晶ゲルマニウム膜或いはアモルファスゲルマニウム膜であることを特徴とするものである。

【 0 0 1 3 】

更に、請求項 3 の発明は、前記ゲルマニウム膜は p 形不純物が導入されていることを特徴とするものである。

【 0 0 1 4 】

また、請求項 4 の発明は、前記ゲート電極は、ゲルマニウム膜と低抵抗導電膜とを含む多層構造となっていることを特徴とするものである。

【 0 0 1 5 】

さらに、請求項 5 の発明は、前記低抵抗導電膜は、遷移金属または遷移金属シリサイドまたは遷移金属窒化膜或いはそれらの組み合わせであることを特徴とするものである。

【 0 0 1 6 】

また、請求項 6 の発明は、前記多層構造は、ゲルマニウム膜と低抵抗導電膜の間に多結晶シリコン層が設けられていることを特徴とするものである。

【 0 0 1 7 】

更に、請求項 7 の発明は、n チャネル絶縁ゲート電界効果トランジスタと p チャネル絶縁ゲート電界効果トランジスタを混載し相補形を為す半導体装置において、前記各トランジスタのゲート電極は、p 形不純物が導入された単結晶ゲルマニウム膜或いは多結晶ゲルマニウム膜或いはアモルファスゲルマニウム膜からな

ることを特徴とするものである。

【 0 0 1 8 】

また、請求項 8 の発明は、半導体基板上にゲート酸化膜を形成する工程と、このゲート酸化膜上にゲルマニウム膜を形成する工程と、このゲルマニウム膜に p 型不純物を導入し、パターニングしてゲート電極を形成する工程と、このゲート電極をマスクとしてソース、ドレイン領域を形成する工程とを有することを特徴とするものである。

【 0 0 1 9 】

更に、請求項 9 の発明は、前記ゲート電極を形成する工程は、前記ゲルマニウム膜上に多結晶シリコンを形成する工程と、この多結晶シリコン膜上に遷移金属を形成する工程と、熱処理により前記多結晶シリコン膜の一部あるいは全てを遷移金属シリサイドとする工程とを含むことを特徴とするものである。

【 0 0 2 0 】

また、請求項 1 0 の発明は、前記ゲート電極を形成する工程は、前記ゲルマニウム膜上に遷移金属膜または遷移金属窒化膜を形成する工程を含むことを特徴とするものである。

【 0 0 2 1 】

更に、請求項 1 1 の発明は、前記 p 型不純物を導入する工程は、CVD 法によることを特徴とするものである。

【 0 0 2 2 】

また、請求項 1 2 の発明は、前記 p 型不純物を導入する工程は、イオン・インプランテーション法によることを特徴とするものである。

【 0 0 2 3 】

更に、請求項 1 3 の発明は、半導体基板上にゲート酸化膜を形成する工程と、このゲート酸化膜上にゲルマニウム膜を形成する工程と、このゲルマニウム膜に p 型不純物を導入し、パターニングしてゲート電極を形成する工程と、このゲート電極をマスクとしてソース、ドレイン領域を形成する工程と、前記ゲート電極の両端にスペーサを形成する工程と、前記ゲート電極上及び前記ソース、ドレイン領域上に遷移金属膜を形成し、熱処理して遷移金属シリサイドとする工程

とからなることを特徴とするものである。

【0024】

【発明の実施の形態】

次に本発明の実施形態について図面を参照して説明する。

【0025】

本発明の第一実施形態を図1に示す。図1は本発明をpチャネルMOSFETに適用した場合の図である。1はp形のシリコン基板であり、このp形シリコン基板上1上の、ゲート電極が形成される領域にゲート酸化膜2を介して多結晶ゲルマニウム膜3及び低抵抗導電膜4、が成膜されている。ゲルマニウム層3は多結晶ゲルマニウム膜の他に単結晶ゲルマニウム膜やアモルファスゲルマニウム膜であっても良い。但しゲルマニウム層はp形不純物、例えばボロンB、のドーピングによりp形半導体特性を有している。またゲート酸化膜2直下にはチャンネル部6、その両端にはソース・ドレイン領域5が設けられており、これらによりMOSFETが形成されている。このように、本実施形態においてはゲート電極にゲルマニウム膜を用いているので、チャンネル内の不純物ドーパ量の高濃度化を抑えることができ、そのためチャンネル内のキャリア移動度の劣化を防ぐことができる。

【0026】

次に本実施形態の製造方法について図2及び図3を参照して詳細に説明する。但し、以下ではNMOSトランジスタについて説明を行うが、チャンネル部6、ソース・ドレイン領域5にドーパする不純物を適当に変えることで同様にPMOSトランジスタも製造することが可能となる。

【0027】

図2は本実施形態に関する第一製造方法を示すものである。同図において、まず比抵抗 $14 \sim 22 \Omega \cdot \text{cm}$ 、面方位(100)のp形シリコン基板1に低濃度 $10^{15} \sim 10^{17} \text{ cm}^{-3}$ のボロンB⁺をドーパしてチャンネル部6を形成した後、熱酸化にてゲート酸化膜2を70～100オングストローム程度形成する(a)。さらにCVD (Chemical Vapor Deposition) 法にて多結晶ゲルマニウム膜3を200～400nm堆積させ、その膜中にイオン・インプランテーション

法にてボロン $B^{+}10^{17} \sim 10^{20} \text{ cm}^{-3}$ 程度打ち込む(b)。この時の多結晶ゲルマニウム膜3に導入すべきボロン濃度の詳細については後述する。

【0028】

次にCVD法にて多結晶シリコン膜7を前記多結晶ゲルマニウム膜3上に堆積した後、遷移金属膜、例えばTi膜、をスパッタ法にて成膜し高温アニールを経て多結晶シリコン膜7の一部を遷移金属シリサイド膜8(TiSi₂膜)とする(c)。なお、この時多結晶シリコン膜7の全てを高融点シリサイド化してしまっても良い。尚、遷移金属の例としてはTiの他にCo、Mo等が挙げられる。最後に不図示のレジストを塗布して、フォトリソグラフィ技術によりゲート電極のパターニングを行った後、このゲート電極パターンをマスクとしてリン $P^{+}10^{20} \text{ cm}^{-3}$ 程度ドーピングする。この結果、セルフアライン的にソース・ドレイン領域5を得ることが出来る(d)。

【0029】

次に本実施形態に関する第二製造方法について図3を用いて説明する。なお、上述した図2と同一構成については同一番号を付し詳細な説明は省略する。

【0030】

まず、図2に示した第一製造方法と同様に比抵抗 $14 \sim 22 \Omega \cdot \text{cm}$ 、面方位(100)のp形シリコン基板1にチャネル部6を形成し、熱酸化にてゲート酸化膜2を70~100オングストローム程度形成する(a)。そして多結晶ゲルマニウム膜3を堆積させ、ボロン B^{+} をイオン・インプランテーション法にて打ち込みp形半導体とする(b)。次にCVD法にて多結晶シリコン膜7を堆積した後、不図示のレジストを塗布してフォトリソグラフィ技術によりゲート電極のパターニングを行う。このゲート電極パターンを利用してセルフアライン的にソース・ドレイン領域5を形成する(c)。ここまでは、図2の第一製造方法と同様である。次に、二酸化シリコンから成るスペーサ9をゲート電極の両側に形成した後、遷移金属膜、例えば、Ti膜、Co膜、Mo膜をスパッタ法により成膜し高温アニールを経て多結晶シリコン膜7の一部とソース・ドレイン領域5表面層を遷移金属シリサイド膜8とする。但しこの製法では、ソース・ドレイン領域5形成時に多結晶シリコン膜7中にリン P^{+} が導入されn形半導体となっている

為、多結晶ゲルマニウム膜との間に p n 接合が出来てしまう。従ってこの第二製造方法を用いる場合はこのような p n 接合を防ぐため、多結晶シリコン膜 7 の全てを遷移金属シリサイドとした方が良い。

【0031】

以上説明したように、本実施形態の製造方法によれば、ゲート電極の仕事関数をシリコンの真性ミッドギャップエネルギーに近づけることができるため、チャネル内の不純物ドーパ量の高濃度化を抑えることができ、そのためチャネル内のキャリア移動度の劣化を防ぐことができる。

【0032】

ここで、本発明に於けるゲート電極の仕事関数制御について説明する。

【0033】

図4は上述した第一製造方法或いは第二製造方法に基づいて製造したMOS構造のエネルギーバンドダイアグラムである。p形単結晶シリコン層（チャネル部）の電子親和力エネルギー χ_1 は4.05 eV、エネルギーギャップ E_{g1} は1.12 eVであり、真性ミッドギャップエネルギー $E_{i1} = 4.61$ eVを与えている。一方、ゲート電極側のp形多結晶ゲルマニウム膜の電子親和力エネルギー χ_2 は4.0 eV、エネルギーギャップ E_{g2} は0.66 eVであり、真性ミッドギャップエネルギー E_{g2} は4.33 eVである。この多結晶ゲルマニウム膜を深くp形にドーパした場合の仕事関数 ϕ_M は(1)式で表される。

【0034】

【数1】

$$\begin{aligned}\phi_M &= \chi_2 + \frac{E_{g2}}{2q} + \phi_{B2} \\ &= E_{i2} + \frac{k_B T}{q} \ln \frac{N_A}{n_i} \quad \dots (1)\end{aligned}$$

【0035】

ここで k_B はボルツマン定数、 T は絶対温度、 q は電荷素量、 n_i はゲルマニウ

μの真性キャリア濃度、 N_a は多結晶ゲルマニウム膜中に導入された不純物濃度を表している。

【0036】

例えば温室 ($T = 300\text{ K}$) に於いて ϕ_M を 4.61 eV に近づけるのであれば、ゲルマニウムの真性キャリア濃度 n_i ; $2.4 \times 10^{13}\text{ cm}^{-3}$ を用いて、必要な不純物濃度 N_a を $1.2 \times 10^{18}\text{ cm}^{-3}$ と求めることが出来る。この時のイオン注入の条件としては多結晶ゲルマニウム膜厚 300 nm に対し B^+ 注入エネルギーを 50 keV 、ドーズ量をおよそ $1.0 \times 10^{13}\text{ cm}^{-2}$ とすれば実現出来る。さらに例えばドーズ量が $\pm 30\%$ 変動したとしても、仕事関数 ϕ_M の変動は(1)式により 0.01 V 以下であり、仕事関数の制御性が非常に良いことが分かる。

【0037】

また、ゲート電極として、 Si の真性ミッドギャップエネルギーに近い材料を用いた場合、 n チャンネル型トランジスタ、 p チャンネル型トランジスタともに同材質の電極を用いることができるが、 Ti 膜の仕事関数 ϕ_M が Si の真性ミッドギャップエネルギーに対して多少なりともズレがあると n チャンネル型トランジスタ、 p チャンネル型トランジスタのチャネルドープ量に差異が生じてしまい特性にアンバランスな面が生じる。これに対し、ゲート電極に P 型多結晶ゲルマニウムを用いた場合は、深く n^+ 型にドープされた多結晶ゲルマニウムを用いれば Si の真性ミッドギャップエネルギーに近づけることができる。これにより同材質の電極を用いた特性バランスの良い $CMOS$ を得る事ができる。

【0038】

以上、本発明の第一実施形態に関する第一製造方法及び第二製造法に於ける p 形不純物の導入工程については、主としてイオン・インプランテーション方法によるものについてのみ述べたが、これの代わりに GeH_4 と B_2H_6 の混合ガスを用いた CVD 法により前記 p 形多結晶ゲルマニウム膜 3 を成膜しても良い。この場合、イオン・インプランテーション工程及びその後必要とされる不純物の熱拡散工程が省略出来るという効果がある。

【0039】

次に、本発明の第二の実施形態について図5を用いて説明する。なお、上述した第一の実施形態である図1と同一構成については同一番号を付す。1はp形のシリコン基板であり、このp形シリコン基板上1上のゲート電極が形成される領域にゲート酸化膜2を介して多結晶ゲルマニウム膜3が形成されている。そしてこのp形多結晶ゲルマニウム膜3上には低抵抗導電膜として、スパッタ法により遷移金属膜10が直接成膜されている。この遷移金属としては、化学的に安定でしかも遷移金属の中でも比抵抗が低いMo等が望ましい。この様に遷移金属を直接p形多結晶ゲルマニウム膜3上に直接形成する場合は高温アニールが不要となる。この為p形多結晶ゲルマニウム膜3上に導入された不純物がゲート酸化膜2へ突抜けるという問題を解決出来る。特に非常に薄いゲート酸化膜(3nm以下)に於いては本実施形態は有効な手段となり得る。なお、5はソース・ドレイン領域であり、6はチャネル部である。

【0040】

次に本発明の第三の実施形態について図6を用いて説明する。なお、上述した図8の従来例と同一構成については同一番号を付す。この図6はp型シリコン基板1上にPMOSトランジスタ21とNMOSトランジスタ20が形成された構造であり、p形シリコン基板1のPMOSトランジスタ21領域にはnウェル領域22が形成され、素子分離酸化膜23を介して、NMOSトランジスタ20と分離されている。NMOSトランジスタ、PMOSトランジスタともゲート絶縁膜2上に、CVD (Chemical Vapor Deposition) 法にて多結晶ゲルマニウム膜3を200～400nm堆積させ、その膜中にイオン・インプランテーション法にてボロン B^{+} $10^{17} \sim 10^{20} \text{ cm}^{-3}$ 程度打ち込む。これにより、P形多結晶ゲルマニウム膜3の仕事関数が、シリコンの真性ミッドギャップエネルギーに近づけられる。従ってNMOS及びPMOSのチャネル部にドーピングする不純物濃度に差が出ず、バランスの良いCMOS特性が得られる。なお、4は、低抵抗導電膜、5はソース・ドレイン領域であり、6はチャネル部である。

【0041】

次に、本発明の第四の実施形態について、図7を用いて説明する。p形シリコ

ン基板 1 上に絶縁膜 24 が設けられており、その上に図 5 に示した第二の実施形態と同一構造の NMOS トランジスタ 20 と PMOS トランジスタ 21 が形成されている。この実施形態に於いても p 形多結晶ゲルマニウム膜 3 の仕事関数がシリコンの真性ミッドギャップエネルギーに近づけられる。従って NMOS 及び PMOS のチャンネル部にドーピングする不純物濃度に差が出ず、バランスの良い CMOS 特性が得られる。

【0042】

MOSFET は一般的には Silicon on Insulator (SOI) MOSFET と呼ばれており、高速化・低消費電力化に有利なデバイス構造である。絶縁膜 24 としては埋め込みの酸化膜（二酸化シリコン膜）を用いる事が多く、埋め込みの手法としては酸素イオンの注入による手法や熱酸化膜を形成したウエハを他のウエハに貼り合わせる手法等が一般的である。この様な MOSFET の場合、チャンネル部となるシリコン層（SOI 層）25 が薄膜で形成されているのでバルク MOSFET と同等のしきい値を保つためには、その薄膜中により高濃度の不純物を導入しなければならない。これは即ちキャリアの移動度の低下を招く原因となりうる。従って本発明により仕事関数を制御する事でこれを補い、チャンネル内に導入する不純物濃度を抑えることはキャリア移動度向上にとって非常に有効な手段となる。

【0043】

【発明の効果】本発明によれば、ゲート電極の仕事関数を制御性良くシリコンの真性ミッドギャップエネルギーに近づけることが出来るので、NMOS トランジスタ、PMOS トランジスタにかかわらずチャンネル内不純物の低濃度化が図れる。従ってキャリア移動度の劣化を防ぐことが出来、高い電流駆動能力を備えた MOSFET を提供できる。

【図面の簡単な説明】

【図 1】本発明の第一実施形態の断面図。

【図 2】第一実施形態に関する第一製造方法の説明。

【図 3】第一実施形態に関する第二製造方法の説明。

【図 4】本発明の MOS 構造に於けるエネルギーバンドダイアグラム。

【図 5】本発明の第二実施形態の断面図。

【図 6】本発明の第三実施形態の断面図。

【図 7】本発明の第四実施形態の断面図。

【図 8】従来技術による第一実施例。

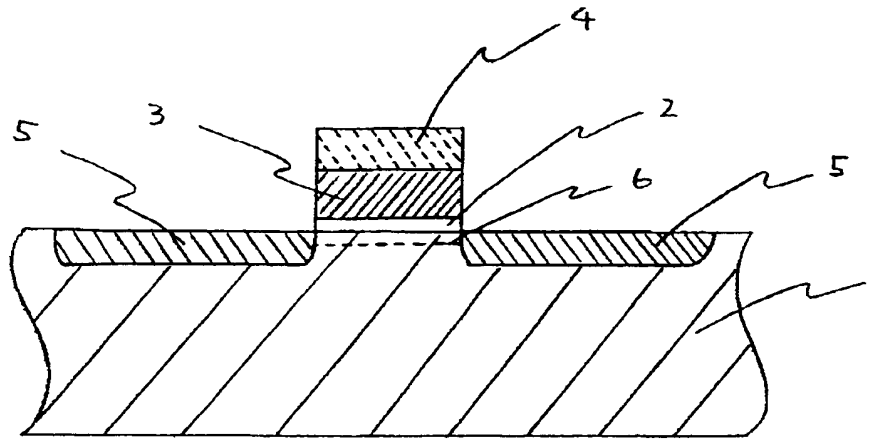
【図 9】従来技術による第二実施例。

【符号の説明】

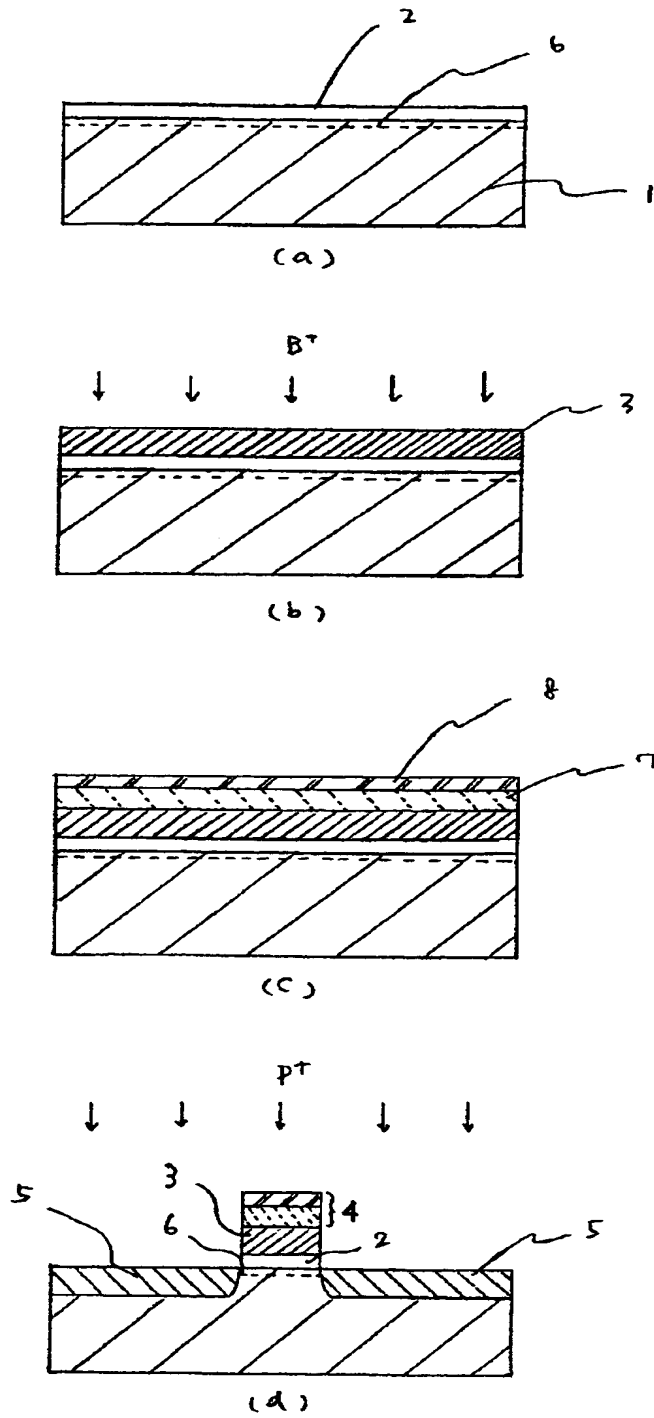
1. p 形シリコン基板
2. ゲート酸化膜
3. p 形多結晶ゲルマニウム膜
4. 低抵抗導電膜
5. ソース・ドレイン領域
6. チャネル部
7. 多結晶シリコン膜
8. 遷移金属シリサイド
9. スペーサ
10. 遷移金属膜
20. NMOS トランジスタ
21. PMOS トランジスタ
22. n ウエル領域
23. 素子分離酸化膜
24. 絶縁層（酸化膜層）
25. シリコン層（SOI 層）
30. n 形 SiGe 膜
31. p 形 SiGe 膜
32. TiN 膜

【書類名】 図面

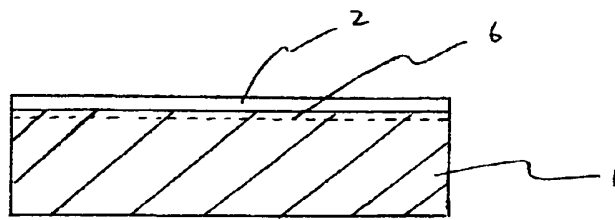
【図 1】



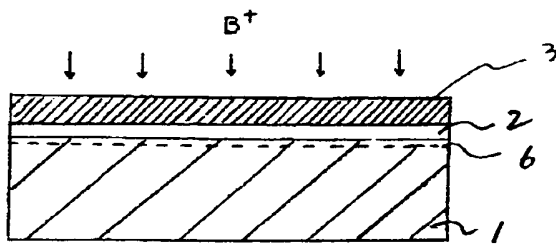
【図 2】



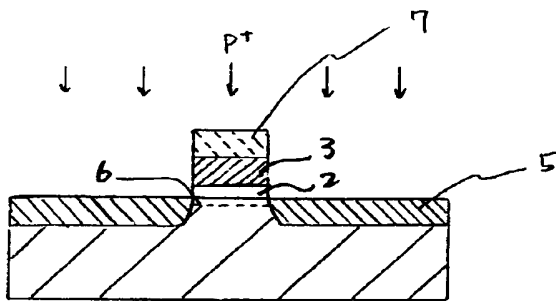
【図3】



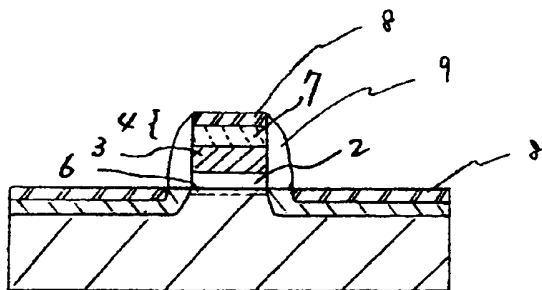
(a)



(b)

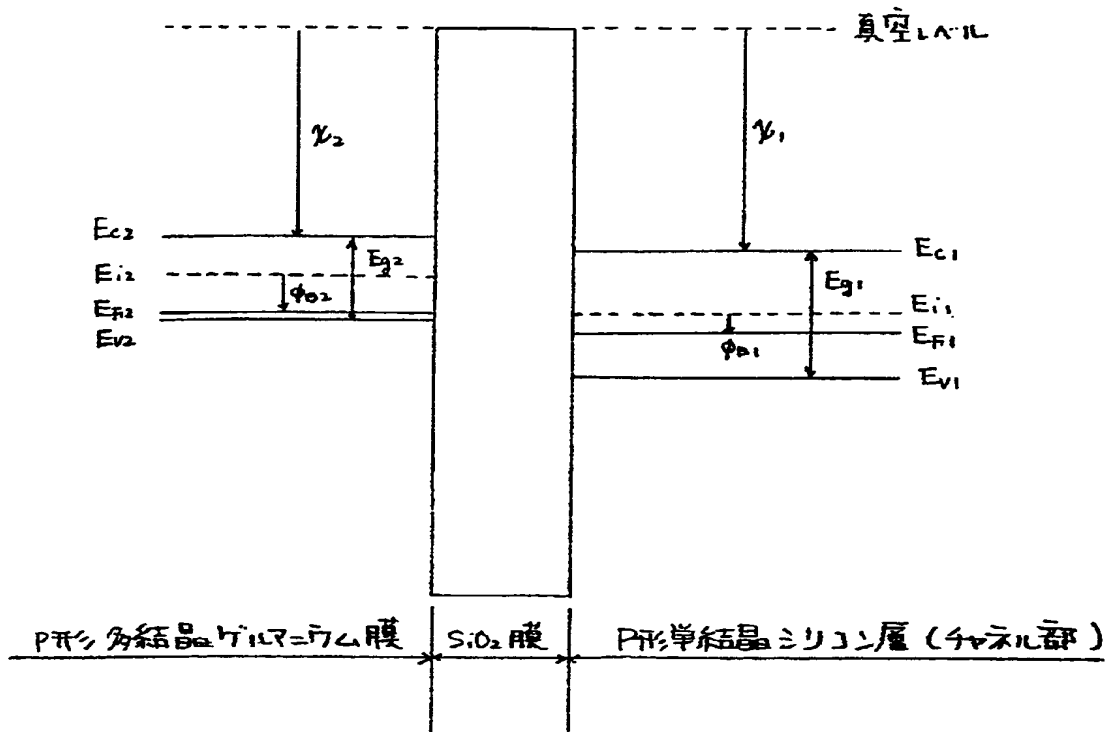


(c)



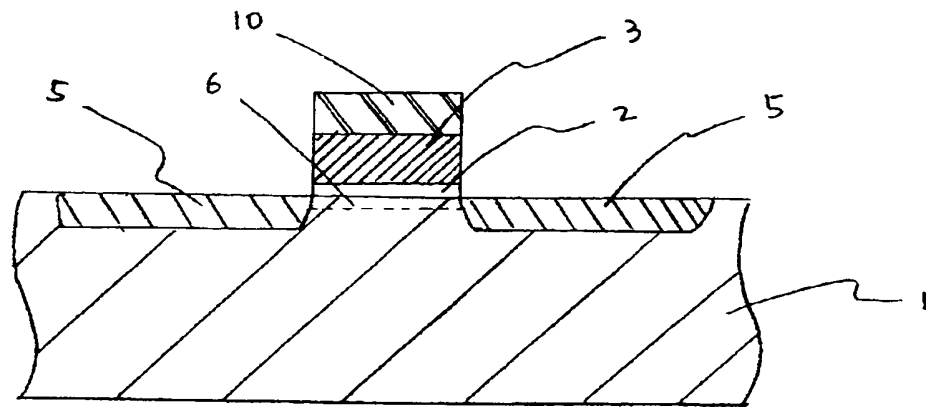
(d)

【図 4】

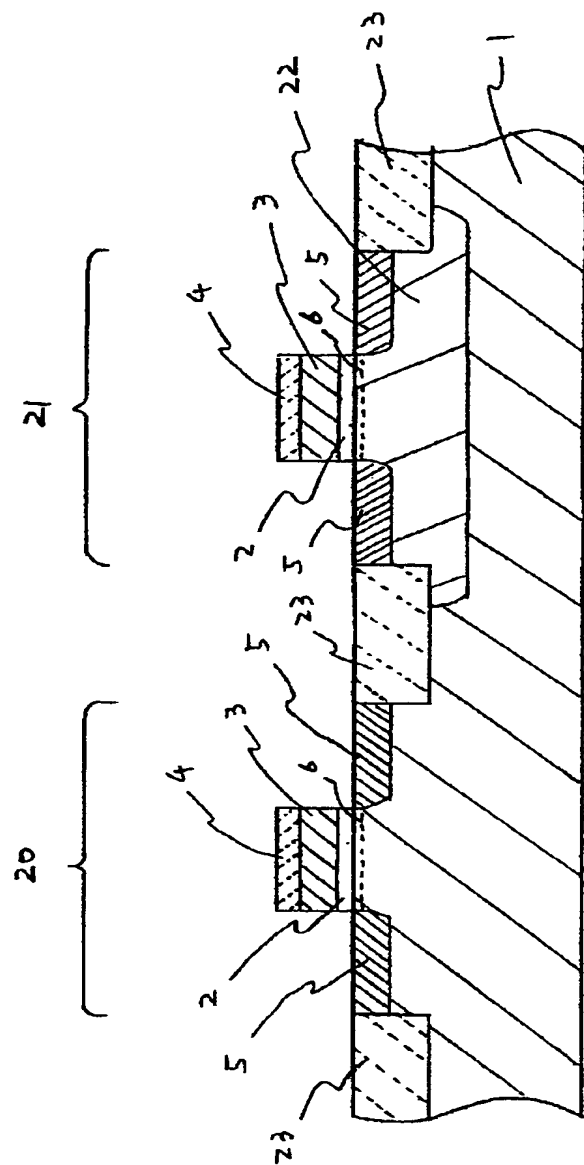


- E_c : 伝導帯のバンド端
- E_v : 価電子帯のバンド端
- E_F : フェルミエネルギー
- E_i : 真性ミッドギャップエネルギー
- χ : 電子親和力エネルギー
- E_g : エネルギーギャップ
- ϕ_B : $E_F - E_i$

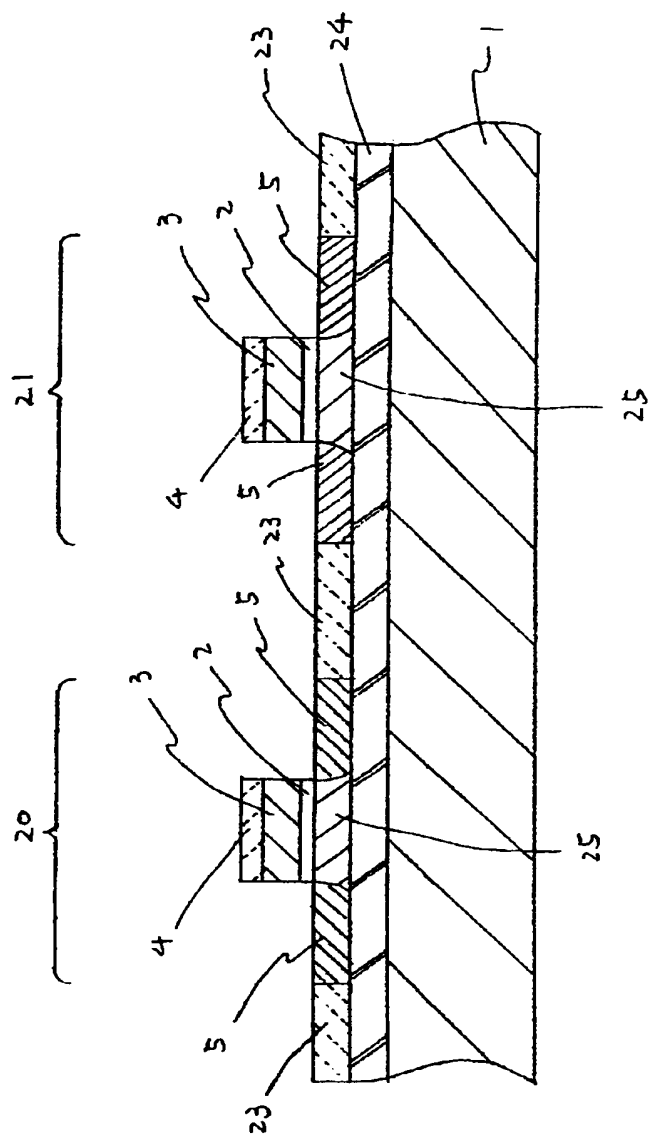
【図5】



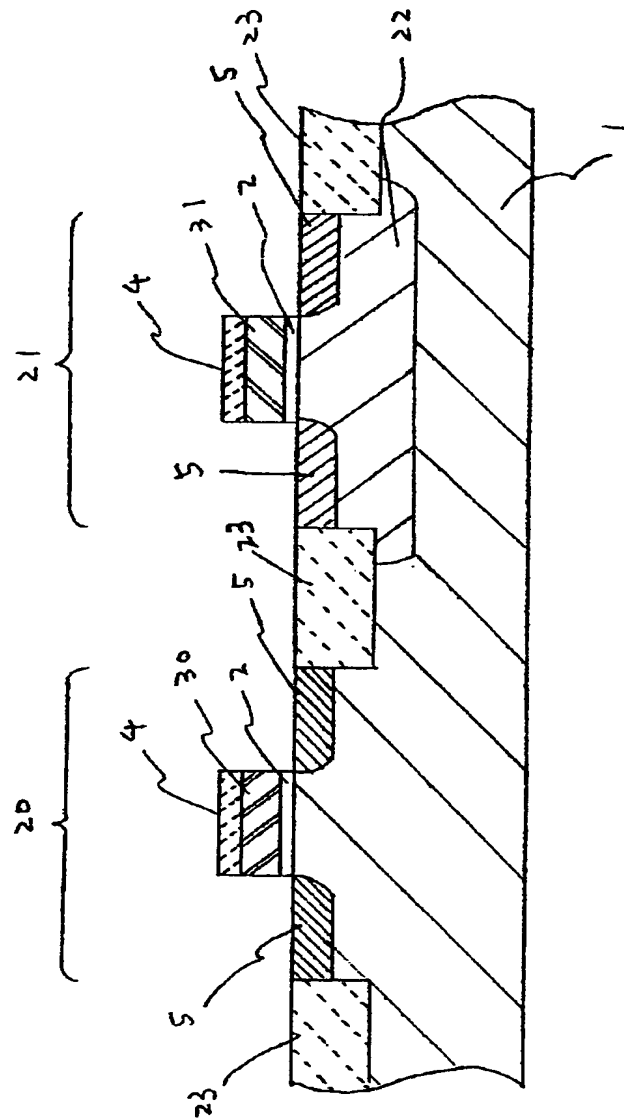
【図6】



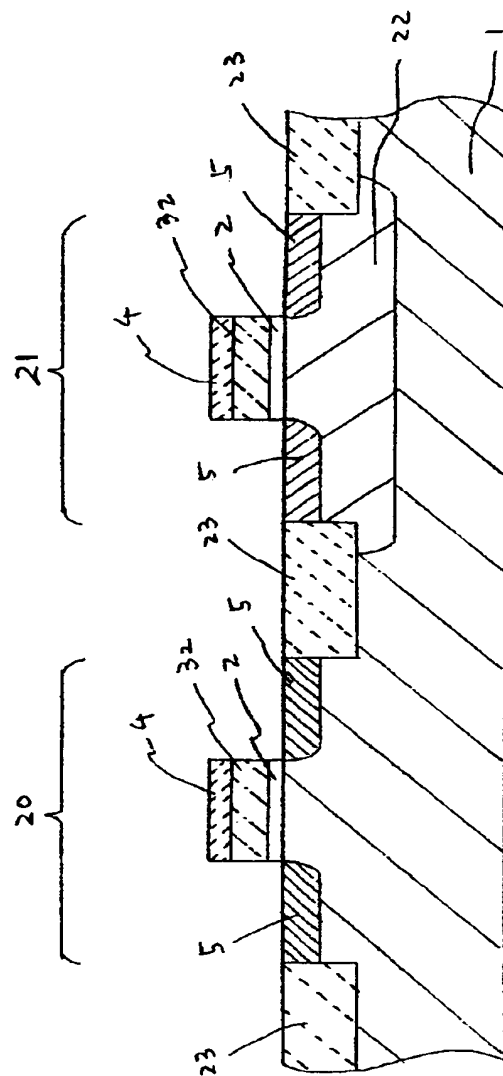
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】半導体装置に用いられる絶縁ゲート電界効果トランジスタにおいて、ゲート電極の仕事関数を制御性良くシリコンの真性ミッドギャップエネルギーに近づけ、チャンネル内の不純物の低濃度化を図る。これによりキャリア移動度の劣化を防ぎ、高い電流駆動能力を備えた絶縁ゲート電界効果トランジスタを得る。

【解決手段】ゲート電極を p 形多結晶或いは単結晶ゲルマニウム膜 3 と低抵抗導電膜 4 の多層構造とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社

THIS PAGE BLANK (USPTO)